

AXI	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Register Name	
HIF	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Ba	2																																				UDDRC_ADDRMAP1.ADDRMAP_BANK_B2	
Ba	1																																				UDDRC_ADDRMAP1.ADDRMAP_BANK_B1	
Ba	0																																				UDDRC_ADDRMAP1.ADDRMAP_BANK_B0	
Col	13																																					
Col	12																																				Unused	
Col	11																																				UDDRC_ADDRMAP4.ADDRMAP_COL_B11	
Col	10																																				UDDRC_ADDRMAP4.ADDRMAP_COL_B10	
Col	9																																				UDDRC_ADDRMAP3.ADDRMAP_COL_B9	
Col	8																																				UDDRC_ADDRMAP3.ADDRMAP_COL_B8	
Col	7																																				UDDRC_ADDRMAP3.ADDRMAP_COL_B7	
Col	6																																				UDDRC_ADDRMAP3.ADDRMAP_COL_B6	
Col	5																																				UDDRC_ADDRMAP2.ADDRMAP_COL_B5	
Col	4																																				UDDRC_ADDRMAP2.ADDRMAP_COL_B4	
Col	3																																				UDDRC_ADDRMAP2.ADDRMAP_COL_B3	
Col	2																																				UDDRC_ADDRMAP2.ADDRMAP_COL_B2	
Col	1																																					
Col	0																																				Unused	
Row	15																																					UDDRC_ADDRMAP6.ADDRMAP_ROW_B15
Row	14																																					UDDRC_ADDRMAP6.ADDRMAP_ROW_B14
Row	13																																					UDDRC_ADDRMAP6.ADDRMAP_ROW_B13
Row	12																																					UDDRC_ADDRMAP6.ADDRMAP_ROW_B12
Row	11																																					UDDRC_ADDRMAP5.ADDRMAP_ROW_B11
Row	10																																					UDDRC_ADDRMAP11.ADDRMAP_ROW_B10
Row	9																																					UDDRC_ADDRMAP10.ADDRMAP_ROW_B9
Row	8																																					UDDRC_ADDRMAP10.ADDRMAP_ROW_B8
Row	7																																					UDDRC_ADDRMAP10.ADDRMAP_ROW_B7
Row	6																																					UDDRC_ADDRMAP10.ADDRMAP_ROW_B6
Row	5																																					UDDRC_ADDRMAP9.ADDRMAP_ROW_B5
Row	4																																					UDDRC_ADDRMAP9.ADDRMAP_ROW_B4
Row	3																																					UDDRC_ADDRMAP9.ADDRMAP_ROW_B3
Row	2																																					UDDRC_ADDRMAP9.ADDRMAP_ROW_B2
Row	1																																					UDDRC_ADDRMAP5.ADDRMAP_ROW_B1
Row	0																																					UDDRC_ADDRMAP5.ADDRMAP_ROW_B0
HIF	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			

The yellow boxes shift up by 1 for DDR2/3.

All blue and black boxes shift up by 1 for Half Bus Width mode and by 2 for Quarter Bus Width mode.

Setting ADDRMAP\_COL\_B2 to 0 is recommended so that it maps to HIF[2] in Full Bus Width mode.

Unused